



3D-FOWLP에서 TMV (Through Mold Via) 유형(Cu-Via, EMC Filling Via)에 따른 열기계적 특성 시뮬레이션 분석

차지훈^a, 송 규^b, 박만진^b, 박상용^c, 이재천^c, 이성혁^c, 장동영^{a,b*}

Simulation Analysis of Thermal-mechanical Characteristics According to Type of Through Mold Via Technology in 3D Fan-out Wafer Level Packaging

Ji-Hoon Cha^a, Kyu Song^b, Man-Jin Park^b, Sang-Yong Park^c, Jae-Cheon Lee^c,
Sung-Hyuk Lee^c, Dong-Young Jang^{a,b*}

^a Dept. of Manufacturing Systems and Design Engineering, Seoul National University of Science and Technology

^b Korea Electronics-Machinery Convergence Technology Institute

^c Nepes Co., Ltd

ARTICLE INFO

Article history:

Received 25 February 2020
Revised 23 March 2020
Accepted 10 April 2020

Keywords:

FOWLP
MCP
TMV (Through Mold Via)
EFV (EMC Filling Via)
Warping simulation
Package stacking

ABSTRACT

Currently, Through mold via (TMV) technology is being actively researched for 3D-Integrated Circuit stacking in fan-out wafer level packaging (FOWLP). However, because of problems, such as extrusion, cracking, and warping of the Cu materials forming the via, its mass production process is difficult. Moreover, sudden temperature changes when using the chips cause heat fatigue in the TMV. To overcome this problem, the Epoxy molding compound (EMC) filling via (EFV) is being developed to form a thin Cu via through a deposition process and then fill the interior of the via with EMC. Through simulations, this study analyzed the thermal-mechanical properties of the TMV in the 3D-FOWLP according to the type of TMV (Cu via and EFV) to minimize the thermal stress and deformation generated when using the chip. Consequently, EFV exhibits better thermal-mechanical properties in comparison with those of the Cu via when the 3D-FOWLP is deformed by heat.

1. 서론

전자기기의 고집적 및 다기능에 대한 요구가 증가하고 있으며, 이런 조건들을 충족시키기 위한 방안으로 몰드 관통 전극 (through mold Via, TMV) 기술 연구가 활발하게 진행되고 있다. TMV란 몰드를 관통하는 홀에 전자가 흐를 수 있는 전도성 금속을 충전하여 반도체 칩을 수직으로 적층하는 기술로서 반도체 칩을 경박단소할 수 있는 대표적 기술이다^[1-4].

TMV의 설계 장점으로는 전력손실 및 면적을 감소할 수 있고, 기

존 와이어 본딩에 비해 Via의 개수 및 위치의 제한이 없으므로 I/O (input/output) 개수 제한 없이 칩 성능 위주의 설계가 가능하다^[5].

최근에는 충전 금속으로 우수한 전기전도도 및 신뢰성을 갖고 있는 구리(Cu)가 주로 사용되는데, Cu는 높은 열팽창계수 (coefficient of temperature expansion, CTE) 값을 갖으며, CTE의 차이로 Via 내·외부의 열에 의한 응력(stress)이 발생하여 기계적인 결함 문제를 야기할 수 있다. 특히 고온에서 Cu의 돌출 (extrusion) 및 크랙(crack), 휨(warping)으로 인한 반도체 부품의 불량률 초래할 수 있다^[1].

* Corresponding author. Tel.: +82-2-970-6450

E-mail address: dyjang@seoultech.ac.kr (DongYoung Jang).

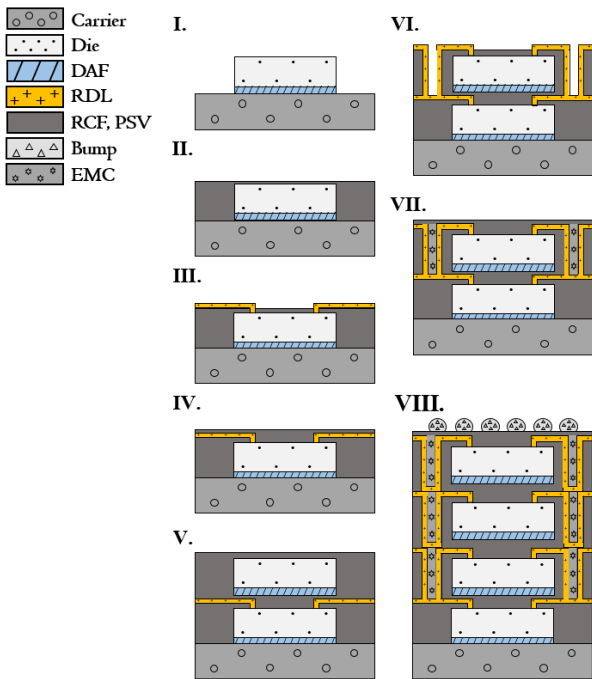


Fig. 1 Fan-out wafer-level package process (Nepes Co., Ltd.)

Cu의 돌출 거동과 크랙 현상은 반도체 패키징 공정에서뿐만 아니라 반도체 칩 동작 중에도 발생할 수 있으며, 이는 급격한 온도 변화에 반복적으로 노출되어 열 피로에 의한 응력을 받는다.

본 연구는 FOWLP (fan-out wafer level package)에서 Via의 강건설계를 위해 EMC filling Via (EFV)의 구조를 도입하였고, Cu로 모두 충전된 Cu-Via와 EFV를 비교 분석했다. 그리고 위치 및 적층됨에 따라 유한요소법 방식으로 열기계적 특성을 비교 분석했다. 이러한 해석 결과를 통해 EFV가 적용된 3D Package 다층 설계의 가이드라인을 제시하고자 한다.

2. EFV 구조가 도입된 FOWLP 공정

Fig. 1은 EFV가 도입된 공정을 보여주고 있으며, 공정((주) Nepes)을 세부적으로 나누면 다음과 같다.

- (1) 1st carrier 위 DAF (die attach film) 및 die (chip) bonding.
- (2) 1st RCF (reconfiguration) Molding.
- (3) 1st electroplating (Cu)을 통한 RDL (redistribution) 형성.
- (4) 1st PSV (passivation) 형성.
- (5) 2nd DAF 및 Die bonding, RCF molding.
- (6) 2nd Via (hole) 생성 후 electroplating (Cu)을 통한 Via metal 및 RDL 형성.
- (7) EMC filling Via 및 PSV 형성.
- (8) 3D multi chip packaging 후 solder bump 형성.

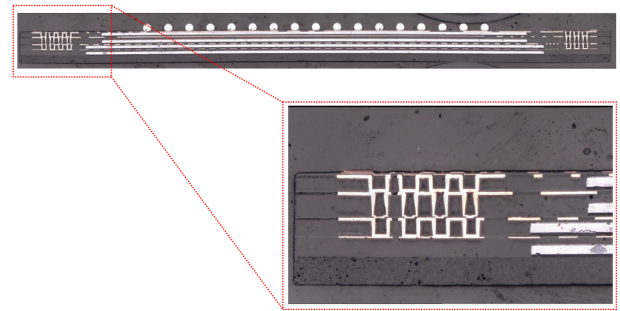


Fig. 2 Optic microscope image of sample produced using the EFV process (Nepes Co., Ltd.)

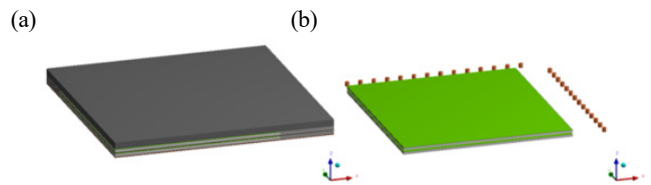


Fig. 3 (a) Multi chip packaging full modeling, (b) Carrier, RCF, RDL, PSV hide body modeling

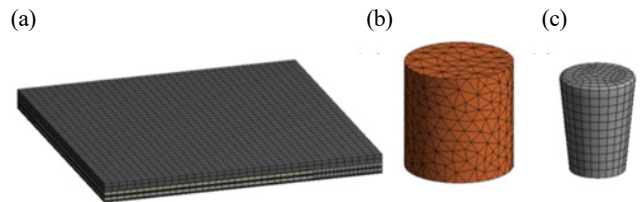


Fig. 4 (a) Packaging full FEM modeling (b) Packaging internal Via FEM modeling (c) Via internal EMC FEM modeling

Fig. 2는 위와 같은 공정으로 본 연구에 사용된 EFV의 시료이다.

3. 유한요소 모델 및 해석 조건

EFV가 도입된 시료 내부 구조를 기준으로 반영하여 유한요소 모델링을 했으며, chip과 RDL을 연결해주는 Cu pad는 TMV 구조물의 응력 및 변형에 미치는 영향이 적을 것으로 판단하여 해석에서는 제외했다. 본 연구에서는 ANSYS 19.1을 사용하여 Via의 구조적 설계 변수에 따라 열기계적 특성을 분석했다. Fig. 3는 $10.88 \times 10.1 \text{ mm}^2$ 직사각형 구조의 silicon chip을 가진 3차원 TMV 모델이며, Fig. 4는 유한요소 모델링이다. Table 1은 본 연구에서 사용된 유한요소 모델의 치수이며, Table 2는 FEM에 사용된 물성치다. EFV 시료의 평균값으로 Via metal 각도는 84° , 최소두께는 $22 \mu\text{m}$ 로 선정했다. 현재 125°C 의 고온에서 동작하는 D램을 양산중⁶⁾이며 과도 동작에 의해 가용 온도보다 더 높은 온도가 발생할 수 있다. 따라서 본 연구는 동작 중에 발생하는 열 피로 과도 조건으로 200°C 의 열 하중을 부여했다. chip 사용 중에

Table 1 The dimensions of the package element

Types	Length × Width (mm ²)	Height (μm)
Carrier	13.4 × 13.4	730
DAF	10.88 × 10.1	20
Die	10.88 × 10.1	70
RCF	13.4 × 13.4	110
RDL	13.4 × 13.4	15
PSV	13.4 × 13.4	10
Via	Φ 120 μm	120

Table 2 Material properties

Types	Young's modulus (GPa)	Poisson's ratio (V)	CTE α1 (ppm/°C)
Carrier	7	0.3	10
EMC	7	0.3	10
Die	124	0.278	2.6
DAF	4	0.28	120
RCF	3.4	0.35	60
PSV	3.4	0.35	60
RDL	110	0.343	16.5
Via	110	0.343	16.5

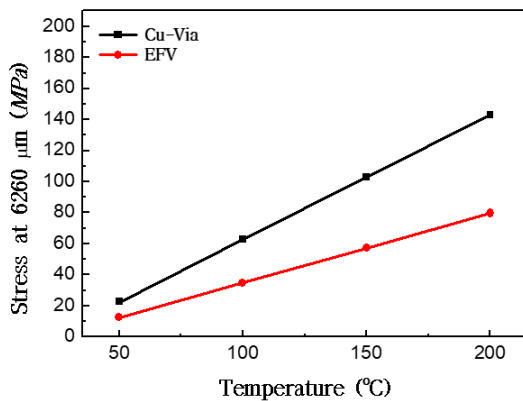


Fig. 5 Comparison of stress according to the temperature of Cu-Via and EFV in 2nd-layer (Via location exists at 6260 μm from center of package.)

BGA (ball grid array)가 구속되는 조건과 동일하다. 또한 전기도금(electroplating) 공정으로 제작된 Cu-Via의 항복강도(yield strength)는 350 MPa로 선정했다^[7].

4. 해석 결과

4.1 Cu-Via와 EFV의 열기계적 특성 분석

Fig. 5은 2nd-layer에서 Cu-Via와 EFV의 온도에 따른 응력 결과이다. 200°C에서 Cu-Via는 143.21 MPa, EFV는 79.691 MPa 이 발생했다. 온도가 증가할수록 열응력이 증가했으며, EFV가 Cu-Via보다 우수한 열기계적 특성을 갖는다. 2nd-layer에서 최대 변형은 chip에서 발생했고, Cu-Via와 EFV에 걸리는 변형은 0.16 μm으로 유사한 결과를 갖는다. Fig. 6의 (a)는 동작 중 열에 의한 패키지 팽창의 개략도이며, Cu-Via 및 EFV의 최대 응력은 (b)와 같이 Via의 가장 하단 위치에서 발생했다. 온도가 상승함에 따라 package가 팽창하며 상부에서 하부로 갈수록 압력이 증가하므로 상대적으로 Via의 상단보다 하단에서 큰 응력이 집중되었다고 판단된다. Fig. 6의 (c)는 EFV의 최대 변형을 나타낸 것이며, Cu-Via도 동일한 위치에서 발생한다. 2nd-layer에서는 항

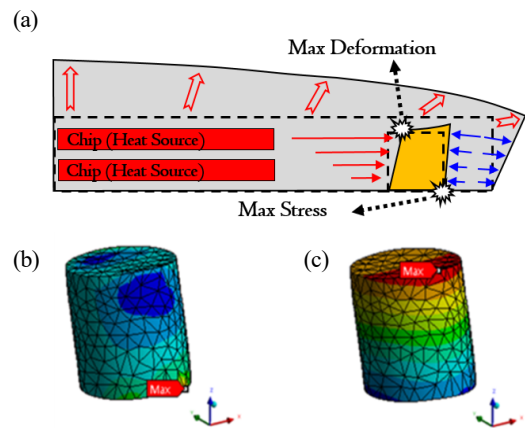


Fig. 6 (a) Schematic diagram of package expansion due to heat source. (b) Maximum stress on EFV in 2nd-layer. (c) Maximum deformation on EFV in 2nd-layer (Scale x500)

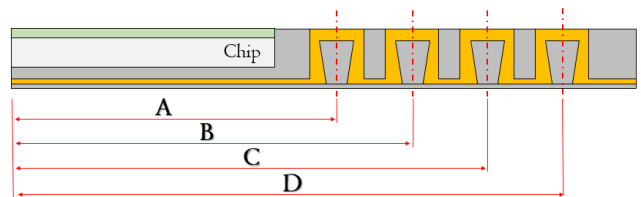


Fig. 7 Schematic of EFV location according to distance from center of package

복강도에 도달하지 않아 소성변형이 발생하지 않는 결과를 도출하였다.

4.2 Via 위치에 따른 열기계적 특성 분석

Via의 위치는 제작된 시료 구조를 기준으로, package의 중심으로부터 각각 5660 μm (A), 5860 μm (B), 6060 μm (C), 6260 μm (D) 위치에서 열기계적 특성을 분석했다(Fig. 7). Table 3은 Cu-Via 및 EFV의 위치에 따른 응력 및 변형 결과이며, Chip (열

Table 3 Thermal-mechanical properties by location

Types	Location (μm)	Max stress of Cu-Via (MPa)	Max stress of EFV (MPa)	Max warpage of EFV (μm)
A	5660	417.73	280.77	0.35
B	5860	236.57	173.81	0.25
C	6060	189.89	97.497	0.19
D	6260	143.21	79.691	0.15

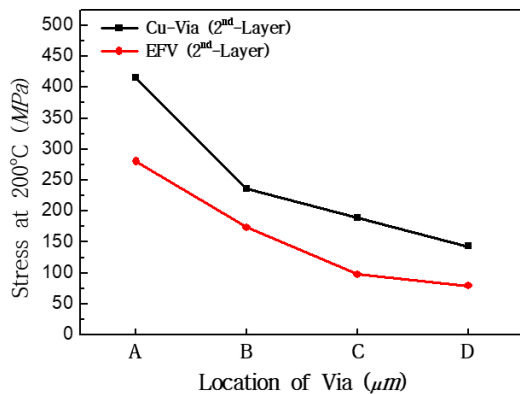


Fig. 8 Comparison of stress by location of Cu-Via and EFV at 2nd-layer 200°C

원)으로부터 멀어질수록 응력 및 변형이 감소했다. 전반적으로 chip으로부터 멀어질수록 응력의 차이는 감소하는 경향을 볼 수 있다(Fig. 8). 동일한 Via의 위치에서 EFV가 Cu-Via보다 열기계적 특성이 우수했다.

4.3 FOWLP 3D-IC에서 Via의 적층에 따른 열기계적 특성 분석

Fig. 9은 layer 적층에 따른 EFV의 형성 단면 개략도이며, Fig. 10은 6260 μm의 Via 위치에서 FOWLP 3D-IC 적층(2nd to 6th layer)에 따른 Cu-Via 및 EFV의 응력 비교이다. 그 결과 Table 4와 같으며, 동일한 layer 상에서 변형은 Cu-Via 및 EFV 모두 유사한 경향이 보였다. layer가 증가함에 따라 Cu-Via와 EFV의 응력 및 변형이 증가하는 경향이 보이며, 응력의 차이는 증가된다. 결과적으로 EFV가 Cu-Via보다 우수한 열기계적 특성을 갖는 결과를 도출했다.

5. 결론

본 연구는 FOWLP chip의 동작 중에 발생하는 Via의 열응력 및 변형을 최소화하기 위해 Via의 유형(Cu-Via 및 EFV), Via의 위치 및 적층 구조의 변화에 따라 다중 적층 3D-IC package의 열기계적 특성을 유한요소법 방식으로 분석했다. 결과적으로 Via

Table 4 Thermal-mechanical properties by layer

Types	Layer	Max stress of Cu-Via (MPa)	Max stress of EFV (MPa)	Max warpage of EFV (μm)
a	2 nd	143.21	79.691	0.16
b	3 rd	242.22	126.81	0.42
c	4 th	340.47	167.37	0.71
d	5 th	410.56	196.63	0.97
e	6 th	442.89	212.38	1.19

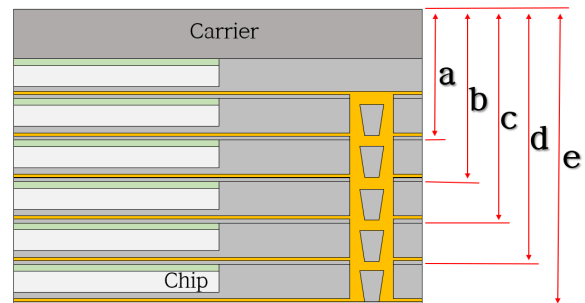


Fig. 9 Schematic of EFV according to layer

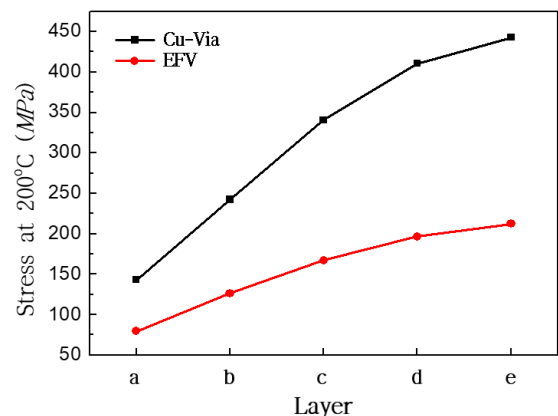


Fig. 10 Comparison of stress of Cu-Via and EFV according to FOWLP 3D-IC stack

의 유형 중에 EFV가 Cu-Via보다 열기계적 결합 문제로부터 안정적인 결과를 도출했다. Via 위치는 chip으로부터 멀어질수록 응력 및 변형이 감소했으며, 3D-IC가 적층됨에 따라 응력 및 변형이 증가했다. 5th-layer 이상 적층할 경우 Cu-Via에서 항복강도 이상의 응력집중으로 Via의 소성변형이 예측되므로 EFV 구조를 이용한 설계가 필요할 것으로 판단된다. EFV 구조의 경우 metal이 증착되면서 두께 및 각도 등의 구조적 설계 변수가 존재하며, 이는 package 구조적 안정성에 영향을 미칠 수 있는 중요한 요소이다. 따라서 EFV의 metal 두께 및 각도 변화에 따른 열기계적 특성에 대한 추가적인 연구가 요구된다.

후 기

이 연구는 산업통산자원부 산업 기술혁신사업의 지원을 받아 수행된 연구 결과입니다[20000868, FO package를 이용한 인공지능 3D-IC 제조공정 기술].

References

- [1] Roh, M. H., Lee, J. H., Jung, J. P., Kim, W. J., 2014, Effect of Thermal Shock on Cu Extrusion of TSV for Three-dimensional Packaging, Korean J. Met Mater, 52:6 459-465, <https://doi.org/10.3365/KJMM.2014.52.6.459>.
- [2] Seol, H. S., Choi, Y. J., Park, J. M., Kim, S. K., 2019, Warpage Analysis of a Panel Level Packaging, J. Korean Soc. Manuf. Technol. Eng., 28:4 203-209, <https://doi.org/10.7735/ksmte.2019.28.4.203>.
- [3] Kan, K., Oi, Y., Fujii, Y., Miwa, M., 2016, The Novel Liquid Molding Compound for Fan-out Wafer Level Package, International Conference on Electronics Packaging (ICEP), IEEE, 557-561.
- [4] Lee, M. K., Jeoung, J. W., Ock, J. Y., Choa, S. H., 2014, Numerical Analysis of Warpage and Reliability of Fan-out Wafer Level Package, Journal of the Microelectronics & Packaging Society, 21:1 31-39, <http://doi.org/10.6117/kmeps.2014.21.1.031>.
- [5] Lee, H. S., Kim, K. H., Choa, S. H., 2012, Warpage and Stress Simulation of Bonding Process-Induced Deformation for 3D Package Using TSV Technology, Journal of the Korean Society for Precision Engineering, 29:5 563-571, <http://doi.org/10.7736/KSPE.2012.29.5.563>.
- [6] Ko, J. Y., 2018, viewed 25 August 2018, Samsung Mass-produces Automotive D-RAM that Can Withstand Temperatures of 125 Degrees, <www.hankyung.com/economy/article/2018042590081>.
- [7] Jeoung, H. S., 2014, Thermo-mechanical Reliability of TSV Structure for 3D Stacked Semiconductor Package, A master's thesis on engineering, Seoul National University of Science And Technology, Republic of Korea.



Ji-Hoon Cha

Master Course in the Department of Mechanical Systems and Design Engineering, Seoul National University of Science and Technology. His research interest is Thermal-Mechanical Simulation Analysis.
E-mail: wlwlw555555@gmail.com



Kyu Song

Korea Electronics-Machinery Convergence Technology Institute. His/Her research interest is Machine. His research interest is Thermal-Mechanical Simulation Analysis.
E-mail: songkyu@kemcti.re.kr



Man-Jin Park

Korea Electronics-Machinery Convergence Technology Institute. His research interest is Charged Particle Beam System.
E-mail: manjin@kemcti.re.kr



Sang-Yong Park

Engineering in R&D Division, Nepes in Korea. His research interest is SiP Packaging.
E-mail: psy0408@nepes.co.kr



Jae-Cheon Lee

Engineering in R&D Division, Nepes in Korea. His research interest is SiP Packaging.
E-mail: leejc@nepes.co.kr



Sung-Hyuk Lee

Engineering in R&D Division, Nepes in Korea. His research interest is SiP Packaging.
E-mail: lsh0815@nepes.co.kr



Dong-Young Jang

Professor in the Department of Manufacturing Systems and Design Engineering, Seoul National University of Science and Technology. His research interest is Charged Particle Beam System.
E-mail: dyjang@seoultech.ac.kr