



CVD Chamber 방사율 변화에 따른 Wafer 온도에 대한 수치해석적 연구

유승관^a, 김승모^{a,*}Numerical Analysis of Wafer Temperature with Respect to Radiation
Variation in CVD ChamberSeoung Kwan You^a, Seung Mo Kim^{a,*}^a School of Mechanical Engineering, Korea University of Technology and Education

ARTICLE INFO

Article history:

Received	30	July	2024
Revised	12	August	2024
Accepted	14	August	2024

Keywords:

Wafer temperature
CVD chamber
Radiation
Showerhead
Drift
CFD

ABSTRACT

In this study, the temperature within a CVD chamber at 10 Torr was numerically investigated using Computational Fluid Dynamics (CFD). A detailed three-dimensional (3D) representation of the chamber illustrates the deposition due to CVD on the showerhead and chamber walls. In this study, the changes in the average temperature and temperature variation of a wafer, when the surface emissivity changes due to this deposition, are examined. Additionally, the effects of varying the process gap, which is the distance between the wafer and showerhead, on the temperature distribution of the wafer are analyzed. Based on these analyses, in this study, specific process variables are proposed to optimize the average temperature and temperature uniformity of the wafer. Finally, methods to mitigate the impact of changes in emissivity and ensure consistent wafer quality are proposed.

1. 서론

CVD(chemical vapor deposition)는 반도체 제조 공정에 주요한 공정 중 하나로, Wafer 표면에 얇은 막(thin film)을 증착시키는 공정이다. 증착은 반응로(chamber)에 전구체(precursor)와 반응물(reactant) 및 이송(carrier)기체 등을 혼합하여 발생된다. 또한 박막의 재질마다 필요로 하는 활성화 에너지(activation energy)가 다르며, 이로 인해 공정 온도 역시 증착에 주요한 인자 중 하나이다. 온도를 상승하고 유지하기 위해 Wafer는 Stage heater에 안착되어 있고, 전도로 인해 Wafer의 온도는 상승되게 된다. 반면 Chamber 내부 벽면이나, Showerhead 등에 막이 증착되면, Particle source가 되어 Wafer defect에 영향을 주기 때문에 통상

Chamber는 Cold wall로 유지한다. 그럼에도 불구하고 Chamber 내부에 증착을 완벽히 제어할 수는 없으며, 이로 인해 CVD 장비는 주기적인 예방적 유지보수(preventive maintenance)를 시행하여, Chamber 내부의 Part를 교체하거나 Cleaning을 진행한다. 이러한 Preventive maintenance 과정은 CVD 장비의 가동률 저하를 야기시키기 때문에, 최근에는 F이나 Cl과 같은 식각성 Gas를 사용하여 주기적인 Chamber 내부 표면 관리를 증착 과정 중간에 시행하고 있다. 따라서 CVD 장비는 이러한 Cleaning 주기가 도래하기 전까지 Chamber 내부의 표면 증착으로 Wafer의 온도 변화를 미리 예측하여 Stage heater의 온도를 제어해야 한다. 그러나 진공 Chamber에서 고온의 Wafer 온도 변화를 실시간으로 예측하는 것은 대단히 어렵다. 물리적인 T.C.(thermocouple)를 설치하여

* Corresponding author. Tel.: +82-41-560-1159

E-mail address: smkim@koreatech.ac.kr (Seung Mo Kim).

Wafer의 온도를 계측하는 방법은 계측 자체가 증착에 방해가 된다. Pyrometer와 같은 광학적 방법으로 온도를 측정하는 방법 역시, 광원이 Wafer를 바라볼 수 있도록 Chamber 내부에 Window를 설치해야 되는데, 10 mm 이하의 공정 갭(process gap)에서는 구조적인 한계로 어려움이 발생된다. 이로 인해 Stage heater와 Chamber에 장착된 T.C.로 Wafer의 온도를 간접적으로 유추하여, Stage heater의 온도를 변화하고 있지만 이 역시 Wafer의 온도를 대변하는데 그 한계가 존재한다. 따라서 Chamber 내부를 수치해석으로 묘사하여, 증착 과정에 따른 Wafer 온도 변화를 예측하는 방법에 대해 연구되고 있다. Qizhong Li^[1]은 SiC CVD chamber를 묘사하여 유동과 온도를 모두 반영하였으나, 해석에 사용된 형상을 단순화 하였고, Chamber의 오염을 구현하지 않았다. Siew Aun Tan^[2]은 Furnace chamber를 실제 실험 설비와 동일하게 구현하여 온도해석을 진행하였으나, 역시 주변 환경의 변화를 고려하지는 않았다.

본 연구는 Chamber 내부가 오염되지 않은 초기 CVD 장비의 온도를 수치해석으로 묘사하고, 내부 표면의 방사율을 조절하여 오염된 상황을 묘사해, 주변 환경 변화가 Wafer 온도에 어떤 영향을 미치는지 파악한다. 특히 Chamber의 오염부위를 표면 뿐만 아니라, Showerhead 내부의 오염까지도 묘사해 Wafer 온도 변화를 비교 및 가시화하였다. 또한 Process Gap을 조절하여 Chamber 내 Wafer 높이 변화에 따른 온도 변화 역시 살펴보았다. 이 연구를 통해 누적 증착으로 인해 Chamber 환경 변화에 따른 Wafer 온도를 수치해석으로 연구하고, Chamber 내부 표면처리를 통해 Wafer 온도 변화를 최소화할 가능성을 제시한다.

2. 수치해석 방법

2.1 해석 모델 구조

해석에 사용된 CVD Chamber 내부 형상을 Fig. 1에 나타냈다. Stage heater에 장착된 직경 300 mm Wafer는 공정 Gas가 주입되는 Showerhead와 마주보고 있다. 마주보고 있는 거리를 Process gap으로 정의한다. Process gap은 공정 시 증착율과 관련이 있는 인자로, 통상 Gap이 가까울수록 증착율은 상승되나, Wafer에 고르게 증착되는 정도는 악화된다. 또한 증착 과정에서 발생된 오염물질을 Cleaning 할 때, Process gap을 조절하여 Cleaning 위치를 유도할 수 있다. 본 연구에서도 증착과 Cleaning시 Process gap을 가정하여 온도 결과를 확인하였다. 한편 Showerhead 외경으로는 Guide Ring이 감싸고 있는데, 통상 Plasma를 사용하는 CVD의 경우, Showerhead가 전극으로 사용되며, Plasma로 발생된 전하가 누설되지 않도록 Ceramic 등과 같은 비금속 재질로 차폐한다.

Chamber와 Top plate 사이에는 1~10torr의 진공도를 유지하기

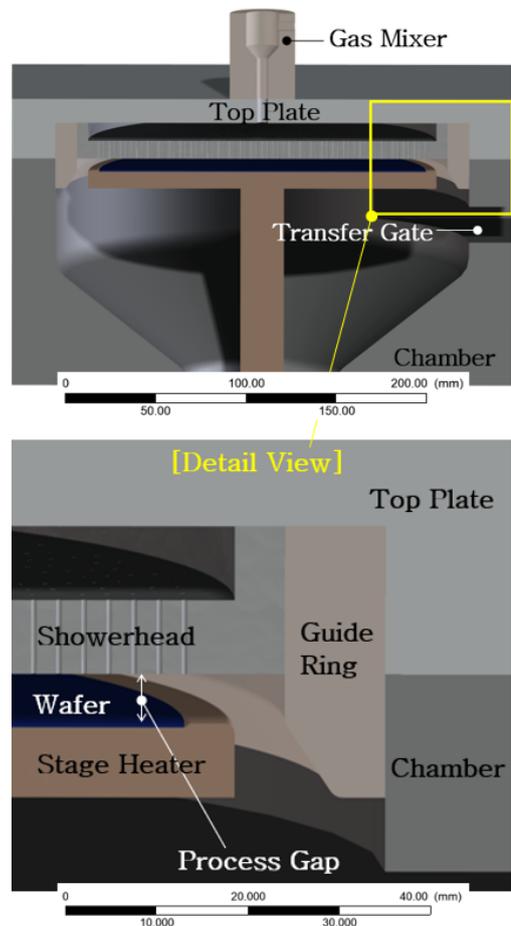


Fig. 1 CVD Chamber geometry model

위해^[3] O-ring으로 기밀을 유지한다. 또한 모든 Part는 조립으로 인해 표면과 표면 사이 미세 Gap이 존재한다. 따라서 해당 미세 Gap을 어떻게 설정하느냐에 대한 기준은 주요 변수 중 하나이다.

2.2 경계 조건

Chamber 내부의 온도 해석을 위해 상용 S/W인 ANSYS Fluent를 사용 하였다. 복사열전달 모델은 DO를 사용하였으며, Chamber 내부의 기체를 대류로 묘사하지 않고 저압 Gas의 물성치를 갖는 정체된 매체라고 표현하였다. 압력이 10torr 대역의 CVD Chamber에서 내부 기체의 물성치를 살펴보면, Thermal conductivity가 0.01 이하로 나타난다. 또한 밀도와 비열을 조합하여 열용량을 확인한 결과 0.5 J/g·K 수준이기 때문에, Chamber 내부의 기체는 대류로 인한 열전달을 무시할 수 있다고 판단하였다. 각 Part 사이의 미세 Gap 역시 내부에 희박 기체(rarefied gas)가 존재한다고 설정하였다. Chamber와 Showerhead 표면의 증착을 묘사하기 위해 해당 Part의 복사열전달 값을 Drift하여 Case study를 하였다. 해석에 사용된 재질과 물성치를 Table 1에 정리하였다. 해당 물성치의 Thermal conductivity는 527°C 기준에서의 값을 설정하였다.

Table 1 Properties for CVD chamber components

	Material	Thermal conductivity [W/m-K]	Emissivity	Drift
Gas mixer	A6061-T6	167	0.35	X
Top plate		167	0.35	X
Chamber		167	0.2~0.9	O
Showerhead		167	0.2~0.9	O
Guide ring	Al ₂ O ₃	13.0	0.9	X
Stage heater	Al ₂ O ₃	13.0	0.9	X
Wafer	Si	52.3	0.68	X
Rarefied gas	Gas	0.01	-	X

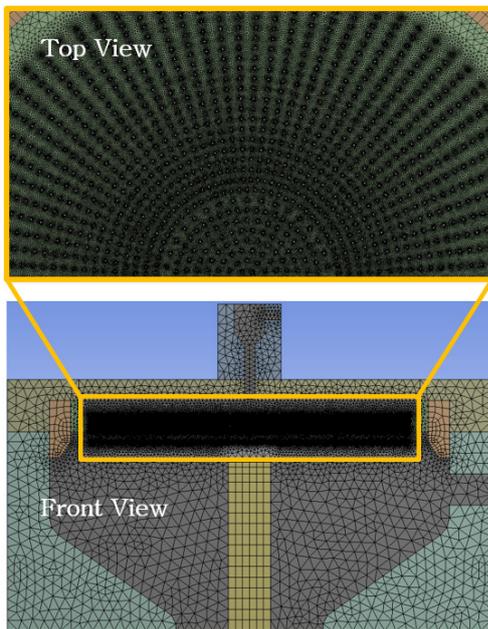


Fig. 2 The mesh for CVD chamber model

Fig. 2는 해석에 사용된 격자 모양이다. Part 사이 Gap은 실제 Mesh를 부여한 것이 아닌 얇은 Layer에 희박기체의 물성을 넣어 계산되는 Shell conduction기법을 사용하였다.

Stage heater의 온도는 600°C로 고정하였고, Chamber와 Top Plate 표면은 25°C로 주변과 대류열전달로 열 교환한다고 설정하였다. 이는 CVD 장비가 동작되는 반도체 제조 Fab(fabrication)의 항온 항습되어 관리되는 온도 환경을 반영한 것이다.

3. 결과 및 고찰

3.1 Cleaning 이후 초기 환경에서 Chamber 내부 온도

Fig. 3은 Chamber 내부를 Cleaning 한 후, 증착 과정이 없는 상태를 묘사한 온도 결과를 나타낸 것이다. 600°C의 Stage heater 온도는 Wafer에 전달되며, 평균 Wafer의 온도는 567.1°C로

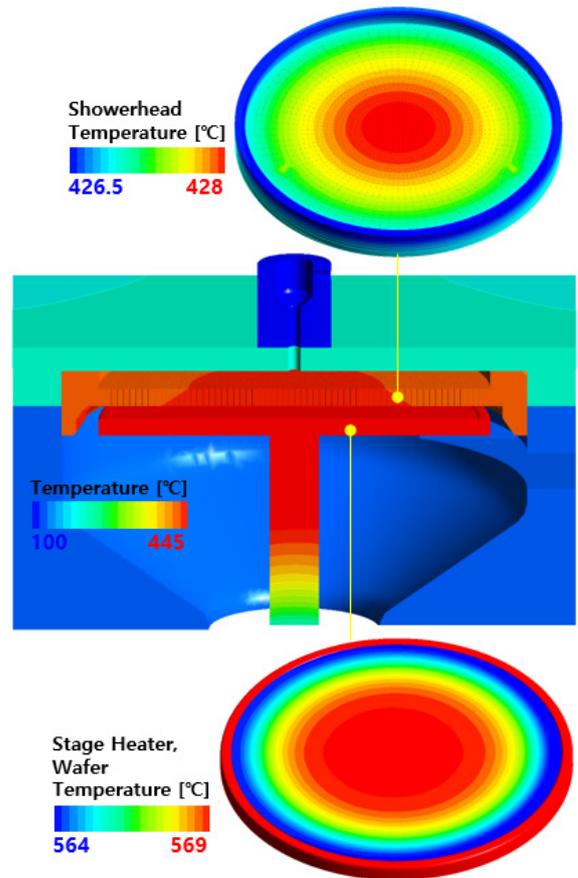


Fig. 3 Temperature contour inside the chamber

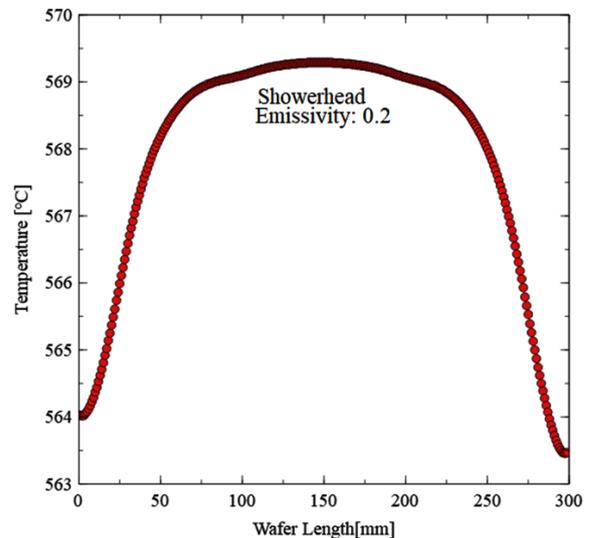


Fig. 4 Temperature plot of 300 mm wafer

Stage heater 온도와 32.1°C의 격차가 발생된다. 또한 Process gap 10 mm를 간격으로 마주보고 있는 Showerhead 표면 평균 온도는 428.1°C로 Wafer 온도와는 약 139.8°C 낮게 나타났다.

Wafer의 온도 분포를 Transfer gate 방향을 기준으로 살펴본 결과를 Fig. 4에 나타냈다. 300 mm Wafer의 중앙인 150 mm 영

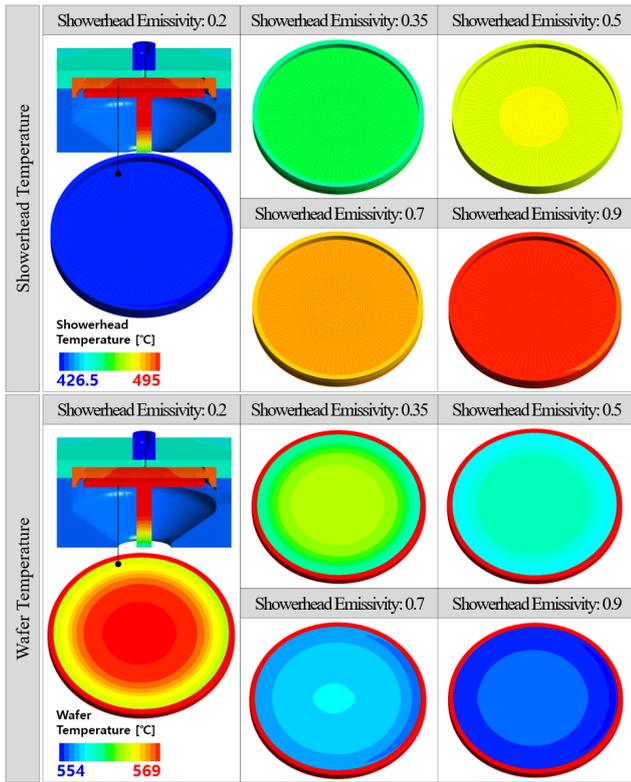


Fig. 5 Temperature contour of showerhead and wafer

역과 0,300 mm 영역과 같이 테두리부위의 온도 차는 최대 5.83°C로 나타났다. 이러한 Wafer의 온도 불균일은 CVD 과정에서 증착 두께의 불균일로 나타날 수 있다. 또한 Transfer gate 방향인 300 mm 영역과, 반대편 영역의 온도 차는 약 0.5°C가 발생된 것을 확인할 수 있다. 이는 상대적으로 더 낮은 Transfer gate의 온도가 반영된 것으로 볼 수 있다.

3.2 Showerhead 표면 증착을 반영한 온도 결과

CVD 과정에서 Wafer 뿐만 아니라, Al 재질의 Showerhead 표면이 함께 증착되는 것을 가정하여 Fig. 5에 나타내었다.

Showerhead 표면의 방사율을 초기 0.2에서 0.9까지의 변화 하여 해석을 진행하였다. 이는 CVD Chamber에 주로 사용되는 A6061-T6 재질에 표면처리를 통해 산화막이 생성되었을 때, 상승되는 방사율의 범위를 경계조건으로 입력한 것이다.^[4-5] 방사율이 0.2에서 0.9까지 상승되었을 때, Showerhead 표면 온도는 428.1°C에서 494.1°C로 66°C의 상승되는 것을 확인하였다.

반면 Fig. 6에 나타낸 것과 같이 Wafer의 온도는 567.1°C에서 554.6°C로 12.5°C 온도가 하락하였다. 이는 Showerhead 표면 방사율 상승으로 인해 Stage heater로부터 공급된 Wafer의 열원이 상대적으로 저온인 Showerhead와 더 활발히 열 교환되었기 때문이라고 파악할 수 있다. 또한, Wafer의 Center부와 Edge부의 온도 Range가 방사율이 상승할수록, 감소한다는 것을 확인할 수 있

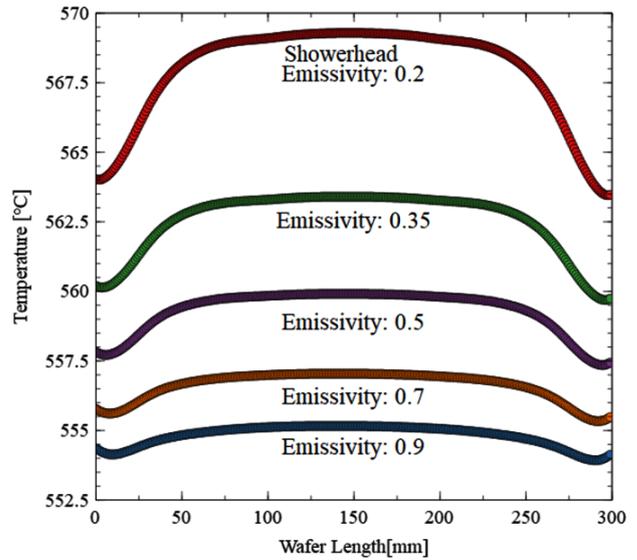


Fig. 6 Temperature plot of 300 mm wafer

Table 2 Wafer temperature results according to emissivity drift

Emissivity	Average temperature[°C]	In wafer temperature range[°C]	Temperature change per emissivity[°C]
0.2	567.9	5.8	-
0.35	562.5	3.7	3.6
0.5	559.3	2.6	2.2
0.7	556.6	1.7	1.3
0.9	554.8	1.2	0.9

다. 그리고 높은 방사율 대역에서는, 방사율 변화에 따른 Wafer 온도 변화의 폭 역시 감소한다. 즉 Showerhead 표면 방사율이 높을수록 Wafer의 평균 온도는 저하되어, 더 많은 Stage heater에서 발열을 요구하는 문제가 있지만, Wafer 온도의 Range나, 증착 과정에서 발생하는 Drift로 인한 온도 변화에 둔감해진다는 결과를 확인하였다. 이를 Table 2에 정리하였다.

3.3 Showerhead와 Chamber 표면 증착을 반영한 온도 결과

CVD는 Stage heater를 중심으로 고온의 열이 가해지기 때문에, 증착에 필요한 활성화 에너지가 Process gap 중심으로 나타날 수 밖에 없다. 따라서 Process gap과 거리가 상대적으로 멀면서, Cold Wall로 유지되는 Chamber 표면에는 증착이 될 가능성이 적다. 그러나 Chamber 제조 시 표면처리 등으로 방사율을 초기부터 높혀 제작 가능하며, 이를 가정하여 Chamber 방사율을 0.9로 고정된 상태에서, Showerhead의 방사율이 0.2, 0.5, 0.9로 변화하였을 때를 묘사해 결과를 확인하였다. 이를 Fig. 7과 Table 3에 나타내었다.

Chamber의 방사율이 높으면 Wafer의 열교환은 더욱 활발해지

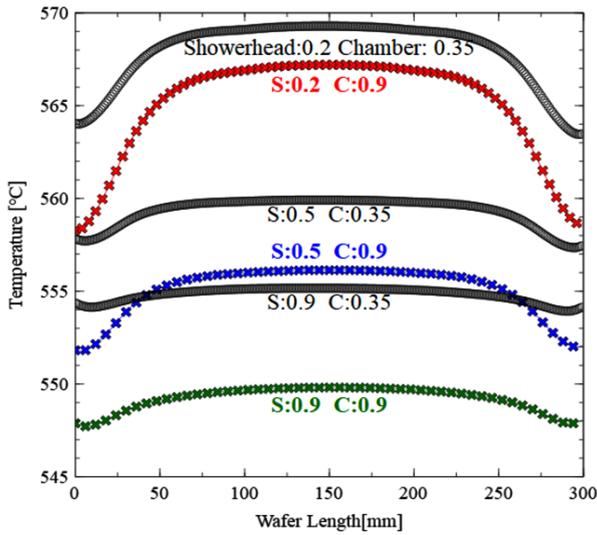


Fig. 7 Temperature plot of 300 mm wafer

Table 3 Wafer temperature results according to emissivity drift

Chamber emissivity	Showerhead emissivity	Average temperature [°C]	In wafer temperature range [°C]
0.9	0.2	565.1	8.9
0.9	0.5	555.1	4.4
0.9	0.9	549.2	2.1

며, 이로 인해 Wafer의 평균 온도는 Showerhead 방사율 0.2설정 기준, 2.8°C 더 낮아진다. 또한 Wafer 온도 Range 역시 5.8°C에서 8.9°C로 더 약화되게 된다. 즉 Chamber의 방사율은 CVD 과정 기간 내내 낮게 유지하는게 Wafer의 평균 온도 및 온도 Range에 더 유리할 것으로 나타났다.

3.4 Showerhead와 Chamber 표면 증착을 반영한 온도 결과

Process gap을 기존 10 mm에서 50 mm로 변경하였을 때 Wafer 온도를 해석하였다. CVD 공정에서, Process gap은 주요한 공정 인자 중 하나이며, Gap의 극적인 변화를 위해 50 mm로 설정하여 기존 10 mm 결과와 비교하였다. 해당 온도장 해석 결과를 Fig. 8에 표현하였다.

Process gap을 50 mm로 변경하였을 때 Wafer의 위치는 Transfer gate에 근접하여 있다. Transfer gate는 Chamber와 마찬가지로 Cold Wall이면서, 구조상 표면적이 증가된 부위이다. 즉, 10 torr 영역의 CVD Chamber의 주된 열전달 경로는 복사열 전달로 Wafer와 열을 주고 받기 때문에 Transfer gate부위는 다른 부위 대비 더 열을 주고 받을 수밖에 없는 View factor 특성을 갖고 있다. 따라서 Process gap을 늘여나갈수록 Wafer 내 온도 편차가 더 크게 나타났다. 그 수치를 Fig. 9와 Table 4에 나타냈다.

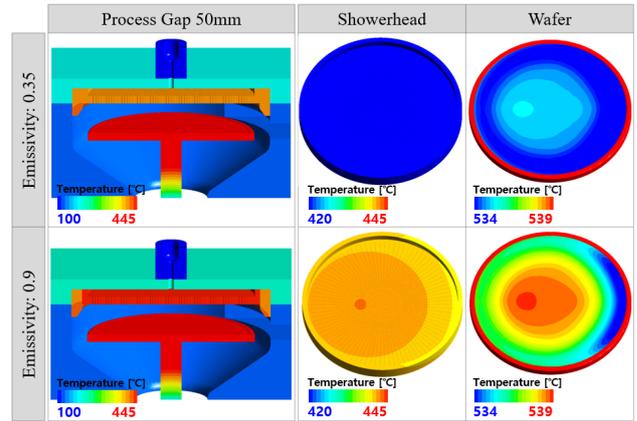


Fig. 8 Temperature contour of showerhead and wafer

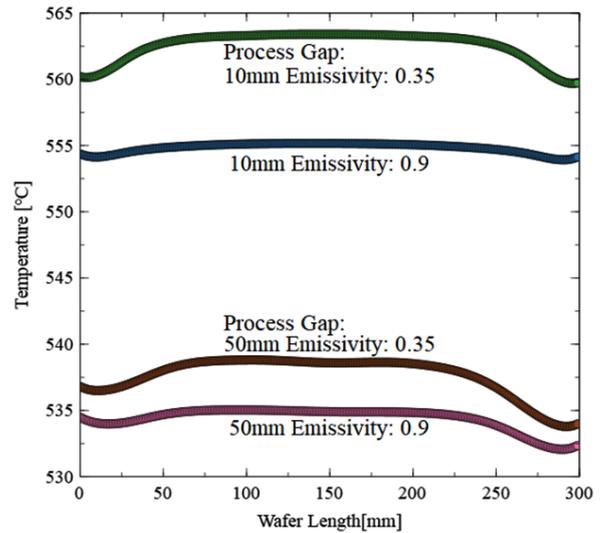


Fig. 9 Temperature plot of 300 mm wafer

Table 4 Wafer temperature results according to process gap

Process gap [mm]	Showerhead emissivity	Wafer left-right temperature variation [°C]
10	0.35	0.46
10	0.9	0.23
50	0.35	2.83
50	0.9	2.14

특히 Wafer 좌/우의 온도 편차가 Process gap 10 mm일 때 Showerhead 방사율 0.35를 기준으로, 0.46°C에서 2.83°C로 약화되었다. 즉 균일한 Wafer의 온도를 위해 CVD Chamber의 Process gap은 Transfer gate와 멀어지도록 설정해야 된다고 판단된다.

4. 결론

반도체 제조 공정 중 CVD는 Wafer 표면에 얇은 막을 증착시키

는 주요 공정이다. 유량 뿐만 아니라, Activation energy와 연관이 있는 설정 온도의 수준과 함께 Wafer 내 온도 균일함이 매우 중요하다. 그러나 CVD 공정이 진행되면서, 금속 재질의 Showerhead 표면이나, Chamber 내부 표면에 증착이 함께 진행되면, 복사열전달의 주요인자 인 방사율이 변화될 수 있다. Showerhead의 방사율을 0.2에서 0.9까지 변화시켰을 때, Wafer의 평균 온도는 567.9°C에서 554.8°C로 13.1°C 하강하는 것으로 나타났다. 다만 방사율이 증가되면서, Wafer 내 온도 편차는 5.8°C에서 1.2°C로 개선되는데, 이는 Showerhead에 표면처리를 통해, 의도적으로 초기 방사율을 상승시킨다면, 증착 과정으로 인한 Wafer 온도 Drift 현상을 감소시킬 수 있다는 것을 의미한다. 반면 Chamber 표면 방사율을 증가시켰을 때는 Wafer의 평균온도도 감소되지만, Wafer 내 온도 편차도 악화되므로 CVD 증착 과정 중 Chamber의 증착을 방지하기 위한 방안이 필요하다는 것을 파악했다. 마지막으로 Process gap이 증가할수록 Transfer gate의 영향성이 커져, 역시 Wafer 표면의 온도 편차가 악화됨을 확인하였다. 따라서 Process gap을 증가시켜야 되는 CVD 공정이라면, Transfer Gate를 wafer와 가급적 멀리 배치하는게 유효하다.

다만 본 연구는 수치해석 결과를 바탕으로 실제 실험과의 정합성을 확보하는 검증은 수행하지 못했다. 특히 온도 경계조건 중에서 미세 틈을 가정하거나, Chamber 내 기체의 물성치는 향후 실험을 통해 조절해야 할 주요한 Parameter라 판단된다.

후 기

본 연구는 산업통상자원부와 한국산업기술기획평가원의 지원(20021828)과 2024년도 한국기술교육대학교 교육연구진흥과제의 연구비 지원 및 한국연구재단의 지자체-대학 협력기반 지역혁신 사업(2021RIS-004)으로 연구되었음.

References

- [1] Li, Q., Zhang, Y., Ji, B., Zhang, S., Tu, R., 2023, Improvement of SiC Deposition Uniformity in CVD Reactor by Showerhead with Baffle, *J. Cryst. Growth*, 615 127255, <https://doi.org/10.1016/j.jcrysgro.2023.127255>.
- [2] Tan, S. A., Yu, K. H., Abdullah, M. Z., 2022, Heat Transfer Analysis on Wafer Annealing Process in Semiconductor Multi-wafer Furnace using CFD Simulation, *J. Mech. Sci. Technol.*, 36 3143-3151, <https://doi.org/10.1007/s12206-022-0545-4>.
- [3] Kleijn, C. R., van der Meer, Th. H., Hoogendoorn, C. J., 1989, A Mathematical Model for LPCVD in a Single Wafer Reactor, *J. Electrochem. Soc.*, 136 3423, <https://doi.org/10.1149/1.2096465>.
- [4] Al Bosta, M. M. S., Ma, K. -J., Chien, H. -H., 2013, The Effect of MAO Processing time on Surface Properties and Low Temperature Infrared Emissivity of Ceramic Coating on Aluminium 6061 Alloy, *Infrared Phys. Technol.*, 60 323-334, <https://doi.org/10.1016/j.infrared.2013.06.006>.
- [5] Jung, W.-C., Jin, Y.-H., Choi, J.-J., Yang, J.-K., 2018, A Study on the Wear Resistance Characteristics of Anodic Oxide Films Formed on Aluminium alloy using a Plasma Electrolytic Oxidation, *Journal of the Korean Institute of Surface Engineering*, 51:6 381-386, <https://doi.org/10.5695/JKISE.2018.51.6.381>.



Seung Kwan You

Ph.D. Candidate in the Department of Mechanical Engineering, Korea University of Technology and Education.

His research interest is Semiconductor and Fluid Dynamics.

E-mail: soongan@koreatech.ac.kr



Seung Mo Kim

Professor in the Department of Mechanical Engineering in Korea University of Technology and Education.

His research interests are Computational Fluid Dynamics in Semiconductor Equipment.

E-mail: smkim@koreatech.ac.kr